

# 《群集放大、鉴频和锁笔电路》的研制

豆耀华

(国家地震局兰州地震研究所, 兰州 730000)

**摘要** 作者对地震遥测传输系统中收讯群放和鉴频器进行了改进,选用现代集成电路和现代技术,设计出了群放、鉴频、锁笔、滤波和限幅电路为一体的实用电路,在本文中介绍了该电路设计指标和工作过程,以供技术人员参考和交流。

**关键词:** 地震遥测设备 电路设计 群放电路 鉴频电路

## 1 前言

由于遥测地震模拟调频传输解调设备中,主要电路群放和鉴频解调电路均由分立元器件组成,经多年的运行,其离散参数与设计时的技术指标偏差越来越大,尤其鉴频部分采用晶体管双泵电路及 LC滤波,其体积大,噪声大,带外衰减系数低,使其记录的放大量无法提高。而且载频信号中断时无笔电保护措施,所产生的干扰脉冲影响记录质量,甚至损坏笔电系统。所以,作者选用了现代集成电路和现代技术,设计出了群放、鉴频、锁笔、滤波和限幅电路为一体的实用电路,而且输给计算机实时处理系统中的 A/D转换板按要求采用了双向限幅设置。低通滤波器采用状态变量法设计成为陡度系数较高的6阶网络,而且极点可调,RC可任选择。特别把锁相环技术应用到遥测调频解调系统中,使其具有相当的频率稳定性和准确度,频谱纯,而它的频偏完全满足了解调频偏的要求。由于该电路具有失真小、输出噪声低的特点,使系统的信噪比进一步提高,所记波形清晰,可为地震的分析和预报研究提供高质量的信息。

## 2 电路主要技术指标

### 2.1 群放电路

放大器的频率响应:  $300 \text{ Hz} \sim 3400 \text{ Hz} \pm 0.2 \text{ dB}$ ; 失真度:  $1\%$  以下; 最低接收电平:  $-90 \text{ dB}$ ; 最大不失真输出:  $10 \text{ dB}$ ; 正常输出电平:  $0 \text{ dB}$ ; 输出阻抗:  $600 \Omega$ 。

### 2.2 鉴频及锁笔电路

频率灵敏度: 满调制解调  $f_0 \pm 100 \text{ Hz}$  时输出  $5 V_{P-P}$ ; 幅频特性:  $-3 \text{ dB}$  时带宽  $0.2 \sim 20 \text{ Hz}$ ; 输出噪声:  $20 \text{ mV}$  以下; 正常接收电平:  $105 \text{ mV}$ ; 频率捕捉范围:  $2f_{1-} = 240 \text{ Hz}$ ; 频率锁定范围:  $2f_{c-} = 200 \text{ Hz}$  设有  $5.5 V_{P-P}$  的限幅特性。载频中断时鉴频器输出为零,恢复时延时  $30$  秒输出。

## 3 电路的工作过程

本文 1996年 8月 26日收到。

作者简介: 豆耀华,男,1952年 6月生,高级工程师,从事遥测地震台网传输管理工作。

### 3.1 群放电路

从有线遥测台网或无线遥测台网传送出的地震调频信号,首先馈入群放电路,并按系统的要求进行放大。它由高性能的集成运放电路 TL062 TL084 LM308和 LM2902组成  $u_1$ 是一种同相电压跟随器,它的输出电压直接反馈到运放电路的反相输入端,它的反馈电阻  $R_F$ 等于零,其电压增益系数等于 1,它的输出电压总是跟随输入电压而变化,由于它的输入阻抗高,输出阻抗低和有很强的负载驱动能力,将其作为缓冲和隔离器  $u_2, u_8$ 组成联级放大,调  $W$ 可改变输出电压的高低  $u_5, u_6$ 为平衡驱动级 由 LM2902组成的  $u_7 \sim u_{10}$ 为 8路输出,由它们进行阻抗转换和输出电流驱动,为带通滤波器提供了低阻和所需的电压电流

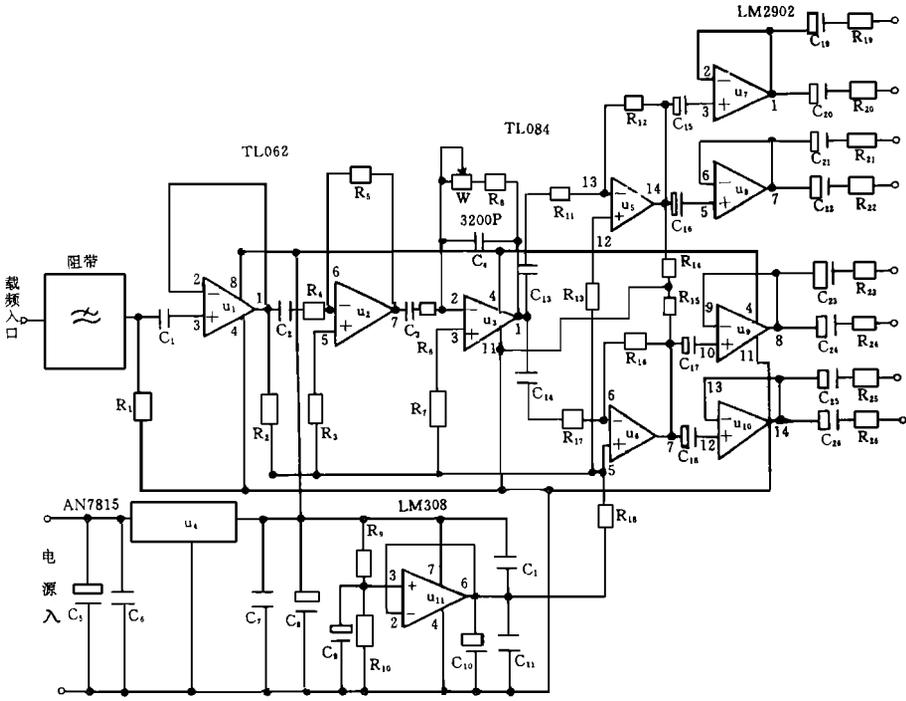


图 1 收讯群放电路图

Fig. 1 The receiver-and-group-amplifier circuit.

### 3.2 锁相环电路 (PLL)

锁相鉴频电路的工作过程见图 2 鉴频入是由各带通滤波器输出的调频信号馈入各自的鉴频器,由  $u_1$ 和  $u_2$ 进行放大和限幅放大。由  $u_3$ 输出时这些信号分成两个支路,一路通过  $u_5$ 恒幅放大成占空比为 50%的方波脉冲,供给锁相环路系统;另一支路通过  $C_4$ 供给由  $D_1, D_2, R_1$ 和  $C_6$ 组成的整流滤波网络。锁相鉴频电路见图 3 目前在信号处理和数字系统中广泛应用锁相环技术,我们把这一技术应用到遥测台网调频解调系统中。它的控制电路是利用 CD4046组件构成锁相环(简称 PLL),锁相环的功能是将两个交流信号通过其中的控制电路调节使它们逐渐进入同步锁定工作状态 本文所讨论的锁相同步环(图 2)由三部分组成,即相位比较器、低通滤波器和压控振荡器 VCO,它们共同构成一个闭环频率反馈系统。当没有输入信号  $V_1(t)$ 时,误差电压  $V_3(t)$ 为零, VCO 以固有频率振荡。当从外部馈入调频信号  $V_1(t)$ 时,  $V_1(t)$ 与由 VCO 送来的  $V_D(t)$  这两路频率和相位不同的控制信号被送到相位比较器后,从相位比

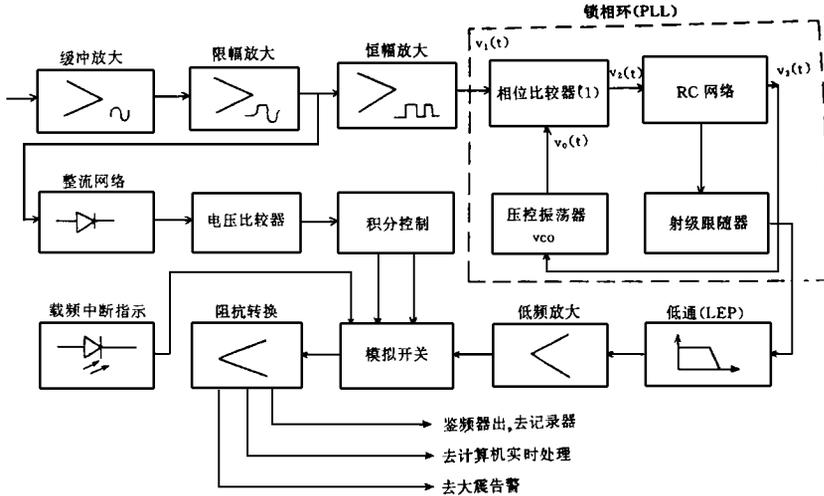


图 2 锁相鉴频电路的工作框图

Fig. 2 The operating program of phase locked frequency discriminator

较器输出端送出的控制信号  $V_2(t)$  的幅度正比于  $V_1(t)$  和  $V_0(t)$  两路信号的相位差,  $V_2(t)$  经低通滤波处理后将向外馈送出一个相当于  $V_2(t)$  信号的平均值的控制信号  $V_3(t)$ , 在这个  $V_3(t)$  信号的控制下, VCO 将调整它的输出信号  $V_0(t)$  的频率和相位, 以便使  $V_0(t)$  控制信号与输入信号  $V_1(t)$  间的频率差和相位差减小. 经过这样的 PLL 控制环不断地调整, 直到最后使得  $V_0(t)$  和  $V_1(t)$  的频率十分接近, 即  $V_0(t)$  与  $V_1(t)$  的频率差和相位差趋于零, 也就是说整个控制环进入频率锁定状态. PLL 能够保持的这种锁定状态的频率范围称为系统的“锁定范围”, 此锁定范围总是大于 PLL 从信号输入能够得到的锁定状态频带, 这一频率为 PLL 系统的“俘获范围”. 但是  $V_0(t)$  与  $V_1(t)$  之差过大, 则比较器输出的误差信号的频率增高, 并被低通滤波器完全滤除掉, 因此 VCO 的控制电压不变, 锁相环失锁. 图 4 是 PLL 的电压-频率变换特性曲线图. 众所周知, 鉴频器是一种频率解调设备, 它将压控振荡输出的调频波还原成 0.2~20 Hz 超低频信号, 要求其畸变小, 线性好. 也就是利用频偏大的输出电压高, 频偏小的输出电压小, 输入频率与输出电压成正比的关系, 来达到鉴频的目的. 图 4a 是输入信号频率增高时的情况, 图 4b 是降低时的情况. 在图 4a 中输入信号的频率  $f_s$  逐渐升高直到它等于  $f_1$ , 一旦  $f_s = f_1$  便立即产生使  $f_s$  锁定的负误差电压  $V_3(t)$ , 随着  $f_s$  的升高, 负误差电压以与 VCO 的变换增益的倒数  $1/k_0$  成正比的速率上升. 在  $f_s = f_0$  时经过零点, 在  $f_s = f_2$  时又急剧变为零,  $f_2$  是锁定范围的上限. 以此类推,  $f_s$  由高到低逐渐变化时的响应如图 4b 所示. 因此,

$$\text{捕捉范围} = f_3 - f_1 = 2f_c = 200 \text{ Hz}$$

$$\text{锁定范围} = f_2 - f_4 = 2f_L = 240 \text{ Hz}$$

捕捉范围的计算公式为

$$f_c = \pm \frac{1}{2\pi} \frac{\Delta f_L}{(R_{18} + R_{17}) C_8} = \pm 0.1 \text{ kHz}$$

VCO 输出信号的工作频率  $f$  按下式进行估算:

$$f = \frac{1}{8C_6} \left( \frac{V_3(t) - V_{GS}}{R_{15}} + \frac{V_D - 2V_{TP}}{R_{14}} \right)$$

其中  $V_{GS}$ 和  $V_{TP}$ 分别为组件中 MOS管的栅极-源极压降和栅极的开启阈值电平。

相位比较器 1是“异或门”网络,它工作于过驱动平衡的混频状态,为使锁相范围达到最大,要求输入频率必须具有 50% 占空因数。由  $u_{18}$ 和  $R_{37}, R_{36}, C_{20}$ 组成的网络连接相位比较器的 2脚和 VCO的 9脚,使 VCO 振荡于中心频率  $f_0$ 处 图 5是相位比较器的 PLL锁相于  $f_0$ 状态的实测波形。

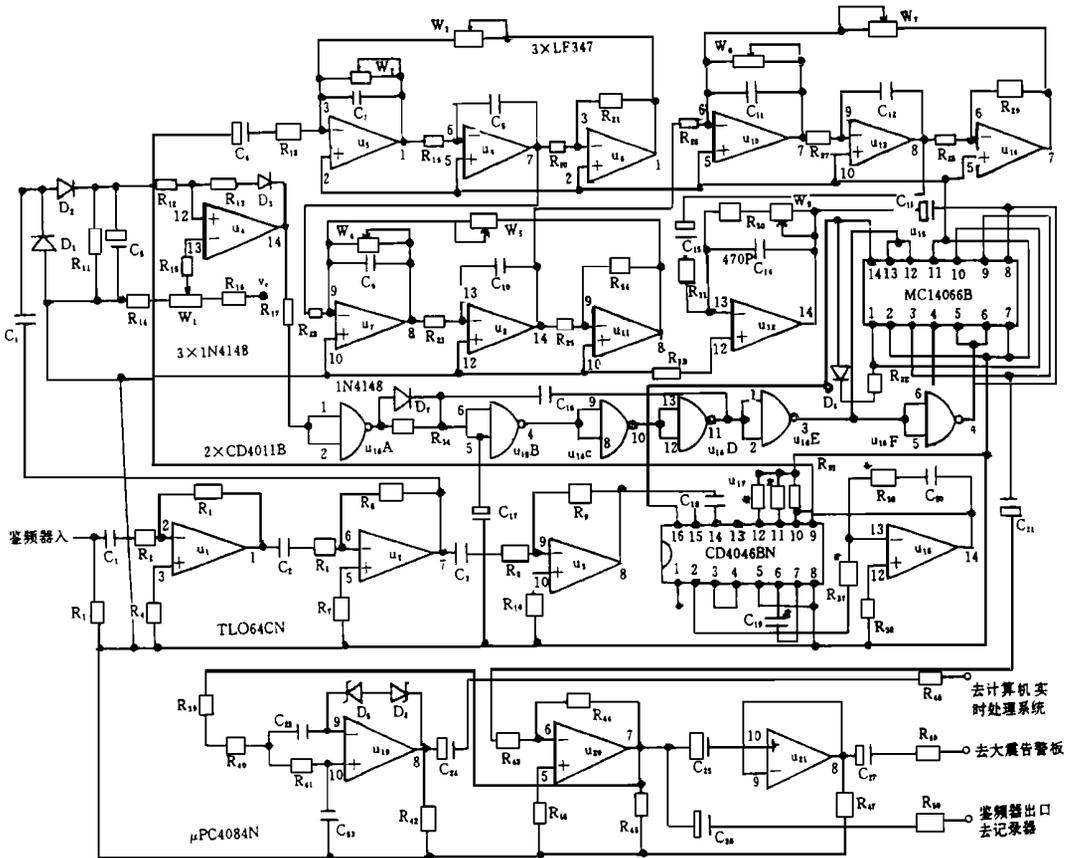


图 3 锁相鉴频电路图

Fig. 3 The phase locked frequency discriminator circuit.

### 3. 3 锁笔电路和限幅电路

由于载频信号中断后,整个传输信道各种高频干扰进入记录系统,影响记录质量,有时大幅度干扰会损坏笔电系统。由  $D_1, D_2$ 组成的整流电路输出的直流电压馈入  $u_4$ 的 12脚并与 13脚电位进行比较,后经  $R_7$ 馈入由 CMOS集成电路块 CD4011B组成的积分延时控制电路。如果载频信号中断,由  $u_{16E}$  3脚输出的高电位 15V 供给 MC14066B的 13, 12脚的开关控制信号,  $u_{15}$ 的内部开关接通,此时发光二极管  $D_3$ 导通发光,告知遥测载频信号中断。同时  $u_{16F}$  4脚为低电位,使  $u_{15}$ 开关控制端 5, 6脚为低电位,接入 8, 4脚的  $C_{15}$ 和接入 3, 9脚的  $C_{16}$ 的并联开关此时断开,鉴频器无输出,记录器接近直线记录。这一过程十分迅速地完成。当信号恢复时,  $u_{16}$

出为低电位,使得  $u_{16A}$  脚的 15 V 电压通过  $R_{34}$ ,  $C_3$  等组成的积分电路进行积分,使得  $u_{16E}$ ,  $u_{16F}$  的 3, 4 脚控制电位的变化延时约 30 s 才使相应的开关动作,使得鉴频器输出的耦合电容进行充电到初始位置,鉴频器才有输出信号,这样保持了记录笔在平衡位置不出现笔头漂移。

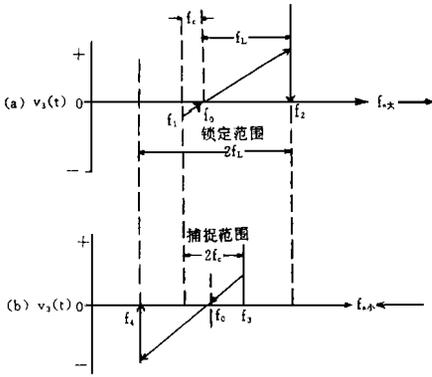


图 4 PLL 的电压-频率变换特性  
Fig. 4 The voltage-to-frequency conversion characters of phase locked loop (PLL).

限幅电路是当输入信号经  $R_{39}$ ,  $R_{40}$ ,  $C_2$  到达  $u_{19}$  的 9 脚,当输出信号的幅值达到稳压管  $D_5$ ,  $D_6$  的导通值时,成为梯形波,从而达到限制输出幅值的目的。本电路设置在 5.5  $V_{P-P}$  开始限幅,以免信号过大,超出供给计算机实时处理系统的 A/D, D/A 板所规定的模拟输入电压范围。

### 4 6 阶低通滤波网络的设计与计算方法

此电路由  $u_5 \sim u_{11}$  构成 6 阶低通滤波器,这个滤波器的通带范围为 0~20 Hz,通带内的不平直度为 1 dB。由于多数滤波器内元件之间的相互影响使得电路的零点和极点调整不便,而且计算出的电容要求精度高,非系列化。由图 3 可见,我们采用状态变量法设计了此滤波网络,用精度 1% 的电阻和 2% 的电容完全满足了大多数工程上所要求的精度。而且零点和极点坐标值可独立调整。如图 3 中第一节由  $u_{15} \sim u_{19}$  实现了一对复数极点,其传递函数为

$$T(S) = \frac{1}{R_{18} R_{19} C^2} \cdot \frac{1}{S^2 + \frac{1}{W_2 C} S + \frac{1}{R_{19} W_3 C^2}}$$

让此式与二阶传递式相等,经数学变换后,方可解出,式中

$$W_2 = \frac{1}{2C} \quad R_{18} = W_3 = R_{19} = \frac{1}{C T_+ U}$$

其中  $T_+$ ,  $U$  分别为极点的实部和虚部;  $C$  为任选值。 $T_+$ ,  $U$  用频率标度系数  $2\pi f_c$  去归一化即

$$T'_+ = T_+ \times 2\pi f_c \quad U' = U \times 2\pi f_c$$

根据陡度系数要求查得 6 阶 0.1 dB 切比雪夫极点位置:

$$T_1 = 0.3916 \quad U_1 = 0.2590$$

$$T_2 = 0.2867 \quad U_2 = 0.7077$$

$$T_3 = 0.1049 \quad U_3 = 0.9667$$

计算参数:

$$\text{第一节: } T'_+ = T_1 \times 2\pi f_c = 61.48$$

$$U' = U_1 \times 2\pi f_c = 40.663$$

$$W_2 = \frac{1}{2T'_+ C} = 81.33 \text{ K} \quad (C \text{ 全部选 } 0.1 \mu\text{F})$$

$$R_{18} = W_3 = R_{19} = \frac{1}{C \left( \frac{T'_+}{U'} \right)^2} = 184.50 \text{ K}$$

$$\text{第二节: } T'_+ = 45.01 \quad U' = 111.10$$

$$W_4 = 92.59 \text{ K} \quad R_{22} = W_5 = R_{23} =$$

$$83.42 \text{ K}$$

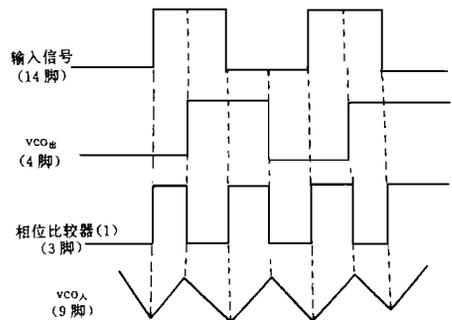


图 5 在  $f_0$  锁定状态时实测环路波形

Fig. 5 The measured wave form of PLL when  $f_0$  was locked out.

第三节:  $T=16.47$        $U=151.77$   
 $W_6=303.58$  K       $R_{26}=W_7=R_7=65.48$  K

## 5 结束语

上述电路通过长期运行工作十分稳定可靠,完全达到了设计时的具体技术指标要求,为遥测地震台网调频解系统提供了又一新的途径。

锁笔装置电路在信号中断时记录图上出现一个小尖脉冲,这是因为整流滤波电路的反应速度跟不上产生的,所以滤波电容  $C_5$  的选值不能太大。如果要消除尖脉冲,可考虑设计较复杂的控制电路和单独的锁笔电路盘。

该项目在研制实验阶段由专家组对方案进行了论证,后由刘凤祥同志任组长组成 7 人专家测试组对实际运行的上述电路进行了全面测试。测试意见认为,由于全部采用现代集成电路和现代技术,使得电路体积小,功耗低,其性能指标达到了设计时的要求,可批量生产,投入运行。由于受经费的限制,仅进行了小批量组装。

此项研制课题曾得到传输、记录、速报分析人员的大力支持和帮助,在此一并致谢。

### 参考文献

- 1 D E Johnson, J R Johnson, Hpmoor. A Hand Book of Active Filters. New Jersey, 1980.
- 2 仇善忠,等.锁相与频率合成技术.北京:电子工业出版社,1986.
- 3 赵松年,等.信号分析与遥测技术.北京:地震出版社,1983.
- 4 J G Proakis. Digital Communications. Mc Graw-Hill, New York, 1989.
- 5 豆耀华,等.有源带通滤波器的设计、调试与应用.西北地震学报,1996,18(1):77-82.

## MANUFACTURE OF GROUP AMPLIFIER, FREQUENCY DISCRIMINATOR AND PEN LOCKOUT CIRCUITS

DOU Yaohua

(*Earthquake Research Institute of Lanzhou, SSB, Lanzhou 730000*)

### Abstract

The writer improved the receiver-and-group-amplifier and frequency discriminator of seismic telemetry system and by using the modern integrated circuit and technique designed a practical circuit which includes group amplifier, frequency discriminator, wave filter, pen lock-out and clipping circuits. In this paper, the design indexes and operating program of the circuit are introduced to provide reference and exchange for the technical personnel.

**Key words** Seismic telemetry device, Circuit design, Group amplifier, Frequency discriminator